

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-359244

(43)Date of publication of application : 13.12.2002

(51)Int.Cl.

H01L 21/3205

H01L 21/304

(21)Application number : 2001-164672

(71)Applicant : SONY CORP

(22)Dat of filing : 31.05.2001

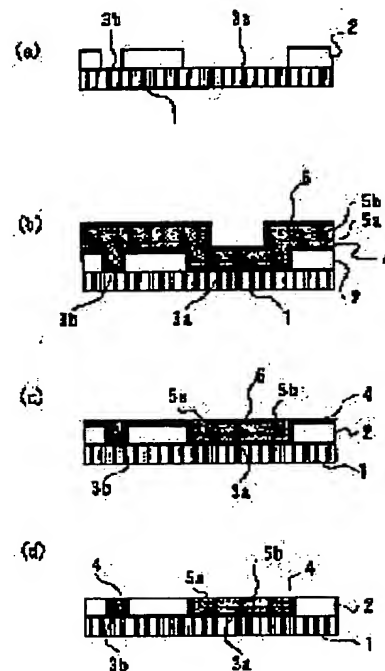
(72)Inventor : NAGASHIMA NAOKI

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a uniformly thick wiring in a damascene process.

SOLUTION: A method for manufacturing a semiconductor device comprises steps of laminating tantalum nitride 4, copper 5a, copper 5b, and tantalum nitride 6 of conductive films having different polishing rates on an upper layer of an insulating film formed with wiring grooves 3a, 3b, setting film thicknesses of the tantalum nitride 4, the copper 5a, the copper 5b and the tantalum nitride 6, so that a surface height of the tantalum nitride 4 formed on a silicon oxide film 2 in which the groove 3 is removed, turns into the same as surface heights of the tantalum nitride 6 formed on the upper layer of the groove 3a and forming on the surface of the copper 5b, and then polishing the film.



LEGAL STATUS

[Dat of request for examination]

06.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開2002-359244

(P2002-359244A)

(43) 公開日 平成14年12月13日 (2002.12.13)

(51) Int. Cl. ⁷	識別記号	FI	予付コード (参考)
H01L 21/3205	6 2 2	H01L 21/304	6 2 2 X 5 F 0 3 3
H01L 21/304		21/88	K M

審査請求 未請求 請求項の数 8 OL (全 5 頁)

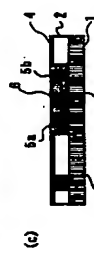
(21) 出願番号	特開2001-184672 (P2001-184672)	(71) 出願人	000002185 ソニー株式会社
(22) 出願日	平成13年5月31日 (2001.5.31)	(72) 発明者	東京都品川区北品川6丁目7番35号 長島 直樹 東京都品川区北品川6丁目7番35号 ソニ 株式会社内 (74) 代理人 100092152 弁理士 服部 勉雄

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ダマシンプロセスにおいて均一な膜厚の配線を形成する。

【解決手段】 配線溝3a、3bを形成した絶縁膜の上層に、研磨速度の異なる導電膜である窒化タンタル4、銅5a、銅5b、窒化タンタル6を積層し、かつ、銅5bの表面に、配線溝3aを除いたシリコン酸化膜2に形成した窒化タンタル4の表面高さと、配線溝3aの上層に形成する窒化タンタル6の表面高さが同じになるように窒化タンタル4、銅5a、銅5b、窒化タンタル6の膜厚を設定して形成した後研磨する。



最終頁に続く

【特許請求の範囲】

【請求項1】 配線を形成する半導体装置の製造方法において、

絶縁膜に配線溝を形成して導体パターンを形成し、

前記導体パターンの上に第1バリアメタル層および配線材料層を形成し、

前記導体パターンの凸部上前記第1バリアメタル層の表面高さと、前記導体パターンの凹部上第2バリアメタル層の表面高さが同じになるように前記第2バリアメタル層を形成し、

前記導体パターンの凸部上前記第2バリアメタル層を除く、

前記導体パターンの凸部上前記配線材料層を除く、

前記導体パターンの凹部上前記第1バリアメタル層と前記導体パターンの凹部上前記第2バリアメタル層とを除く、

【請求項2】 前記導体パターンの凸部上前記第2バリアメタル層を研磨により除去し、

前記第2バリアメタル層より前記配線材料層の研磨速度が速い研磨条件で前記導体パターンの凸部上前記配線材料層を研磨により除去し、

前記配線材料層より前記第1バリアメタル層および前記第2バリアメタル層の研磨速度が速い研磨条件で、前記導体パターンの凸部上前記第1バリアメタル層と前記導体パターンの凹部上前記第2バリアメタル層とを研磨により除去することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記導体パターンの凸部上前記第2バリアメタル層を研磨により除去し、

前記第2バリアメタル層より前記配線材料層の研磨速度が速い研磨条件で前記導体パターンの凸部上前記配線材料層を研磨により除去し、

前記導体パターンの凸部上前記第1バリアメタル層と前記導体パターンの凹部上前記第2バリアメタル層とを研磨により除去することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記導体パターンを形成する前記絶縁膜は多層構造を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記導体パターンは、前記配線溝および接続孔を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記第1バリアメタル層の材質を窒化タンタル、窒化チタン、または窒化タンゲステンとすることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 前記配線材料層の材質をアルミニウムとすることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項8】 前記第2バリアメタル層の材質を窒化タンタル、窒化チタン、または窒化タンゲステンとすることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に配線を形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】 半導体集積回路の微細化に伴い、素子接続配線の最小線幅および最小配線間隔は狭くなっていく。配線の微細化が進み、配線の電流密度が増加した場合、高速に移動する電荷により配線材料の原子移動（マイグレーション）が生じ、配線の断線や高抵抗化が起きる可能性がある。従って、電流密度の増加を抑えるために配線の厚みを薄くすることはできず、配線アスペクト比の増大による配線の加工不良や、配線間隔の縮小による寄生容量の増大などの問題を引き起こしている。

【0003】 このような問題を解決するため、配線材料については従来のアルミから銅に変更し、配線抵抗の低下、耐マイグレーション性の向上を図ることが検討されている。

【0004】 さらに、配線形成方法については、配線の加工不良や、配線間隔の縮小による寄生容量を減らすために、絶縁膜に配線溝を掘り、配線そのものを絶縁膜に埋め込むダマシンプロセスが提案されている。

【0005】

【発明が解決しようとする課題】 ダマシンプロセスは絶縁膜に配線溝を掘り、配線そのものを絶縁膜に埋め込んで配線を形成する方法である。

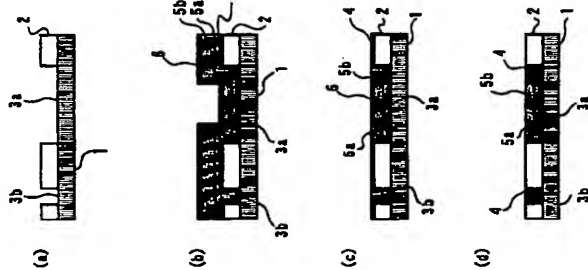
【0006】 図2は従来のダマシンプロセスの形成工程の概略を示す図であり、(a)は配線溝形成工程、(b)は配線材料形成工程、(c)は研磨工程、(d)は銅配線形成工程を示す図である。

【0007】 図2(a)の工程では、シリコン基板上に素子（図示せず）を形成した後、絶縁膜であるシリコン酸化膜11、12を順次形成して、その上にレジストを塗布した後、フォトリソグラフィにより配線となる部分のレジストを開孔してレジストパターンを形成する。次に、レジストパターンをマスクとしてシリコン酸化膜12の異方性エッチングを行い、シリコン酸化膜13に線幅の広い配線溝13aおよび線幅の狭い配線溝13bを形成して導体パターンを形成する。

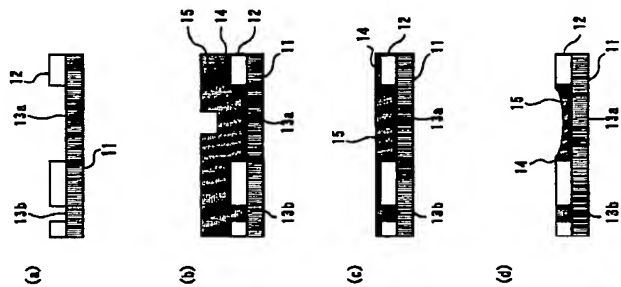
【0008】 図2(b)の工程では、導体パターンの上に、第1バリアメタル層として窒化タンタル14を形成した後、配線材料層として銅15を形成する。このとき、導体パターンの凹部に形成された銅15は、表面の高さが他の部分に比べて低く形成される。

【0009】 図2(c)の工程では、窒化タンタル14が露出するまで銅15を研磨する。図2(d)の工程では、シリコン酸化膜12が露出するまで窒化タンタル14および銅15を研磨し、配線溝13a、13bに銅配線を形成する。

【図1】



【図2】



フロントページの続き

Fターム(参考) 5F033 HH08 HH11 HH21 HH32 HH33
HH34 JJ08 JJ11 JJ21 JJ32
JJ33 JJ34 MM01 MM02 MM12
MM13 MM29 MM06 MM07 PP15
PP27 QQ09 QQ16 QQ48 QQ49
RR04 TT02 VV07 XX01 XX10
XX27